

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-318731

(43)Date of publication of application : 16.11.2001

(51)Int.Cl.

G06F 1/06

H03K 5/15

(21)Application number : 2000-139341

(22)Date of filing : 12.05.2000

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

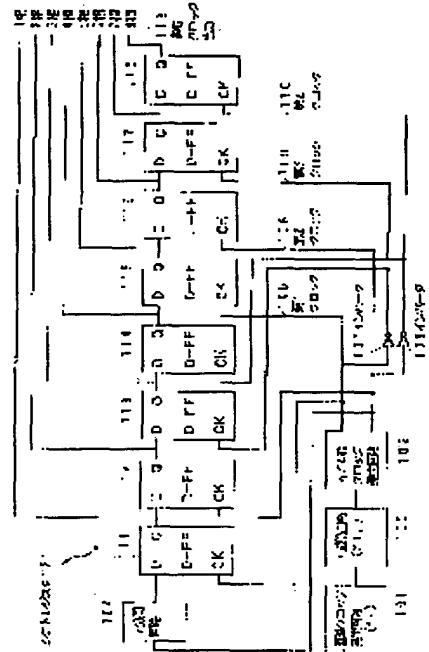
(72)Inventor : SUGAWARA MASAHIKE

(54) MULTI-PHASE CLOCK GENERATION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multi-phase clock generation circuit for lowering the frequency of a reference clock without using many delay elements, reducing a mounting area by a simple circuit and being provided at a low cost.

SOLUTION: This circuit is provided with a reference clock generation circuit 101 for generating the reference clock equal to the frequency (f_0) of the multi-phase clock of n phases, a doubling circuit 102 for doubling the reference clock and generating a double clock, an $n/4$ phase clock generation circuit 103 for preparing an $n/4$ phase clock from the double clock, inverters 107 and 108 for inverting the $n/4$ phase clock and a 2 frequency divider circuit 104 for frequency dividing the $n/4$ phase clock into two and outputting it to a shift register. By clocking the shift register by the first phase clock of the $n/4$ phase clock, a second phase clock for which it is delayed for T/n and the $n/4$ phase clock inverted in the inverter, the multi-phase clock is generated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-318731

(P2001-318731A)

(43)公開日 平成13年11月16日 (2001.11.16)

(51)Int.Cl.⁷

G 0 6 F 1/06

H 0 3 K 5/15

識別記号

F I

テ-マコ-ト^{*} (参考)

G 0 6 F 1/04

3 1 1 Z 5 B 0 7 9

H 0 3 K 5/15

G 5 J 0 3 9

審査請求 未請求 請求項の数 8 OL (全 8 頁)

(21)出願番号 特願2000-139341(P2000-139341)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22)出願日 平成12年5月12日 (2000.5.12)

(72)発明者 菅原 正秀

宮城県仙台市泉区明通二丁目5番地 株式会社松下通信仙台研究所内

(74)代理人 100079544

弁理士 斎藤 熱

F ターム(参考) 5B079 CC02 CC05 DD02 DD04 DD06

DD08 DD13

5J039 AC02 EE17 KK09 KK10 KK26

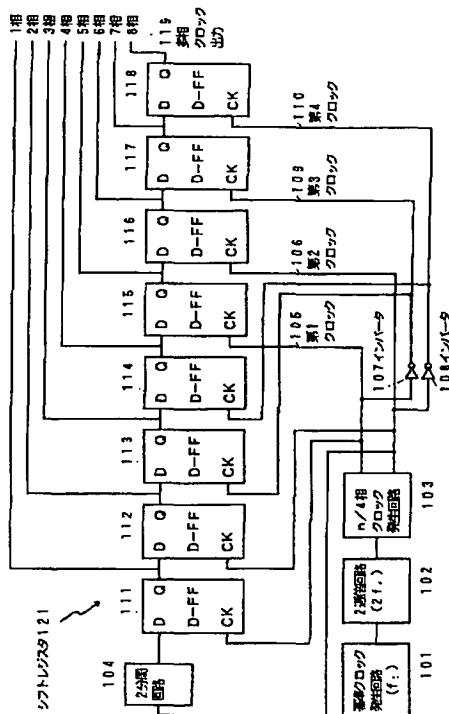
KK27 MM03

(54)【発明の名称】 多相クロック発生回路

(57)【要約】

【課題】多数の遅延素子を使用せずに基準クロックの周波数を低くして、簡単な回路で実装面積を縮小し、安価に提供できる多相クロック発生回路を提供すること。

【解決手段】 n 相の多相クロックの周波数 (f_o) に等しい基準クロックを発生する基準クロック発生回路 101と、基準クロックを2倍して2倍クロックを発生する2倍回路 102と、2倍クロックから $n/4$ 相クロックを作成する $n/4$ 相クロック発生回路 103と、 $n/4$ 相クロックを反転するインバータ 107、108と、 $n/4$ 相クロックを2分周してシフトレジスタに出力する2分周回路 104とを備え、 $n/4$ 相クロックの第1相クロックとそれを T/n 遅延した第2相クロックとインバータで反転した $n/4$ 相クロックとによりシフトレジスタをクロックすることにより多相クロックを発生する。



【特許請求の範囲】

【請求項1】 n (n は整数) 相の多相クロックの周波数 (f_o) に等しい基準クロックを発生する基準クロック発生回路と、前記基準クロック発生回路から出力した基準クロックを2倍して2倍クロックを発生する2倍回路と、前記2倍回路から出力した2倍クロックから $n/4$ 相クロックを作成する $n/4$ 相クロック発生回路と、前記 $n/4$ 相クロック発生回路から発生した $n/4$ 相クロックを反転するインバータと、前記 $n/4$ 相クロック発生回路の出力を $n/4$ 分周してシフトレジスタに出力する $n/4$ 分周回路とを備え、前記 $n/4$ 相クロック発生回路から発生した $n/4$ 相クロックの第2相クロックは第1相クロックより T/n 遅延し、前記第1相クロックと前記第2相クロックと前記インバータで反転した $n/4$ 相クロックとにより前記シフトレジスタをクロックすることにより多相クロックを発生することを特徴とする多相クロック発生回路。

【請求項2】 n 相の多相クロック周波数 (f_o) の2倍周波数 ($2f_o$) に等しい基準クロックを発生する基準クロック発生回路と、前記基準クロック発生回路から出力した基準クロックから $n/4$ 相クロックを作成する $n/4$ 相クロック発生回路と、前記 $n/4$ 相クロック発生回路から発生した $n/4$ 相クロックを反転するインバータと、前記 $n/4$ 相クロック発生回路の出力を $n/4$ 分周してシフトレジスタに出力する $n/4$ 分周回路とを備え、前記 $n/4$ 相クロック発生回路から発生した $n/4$ 相クロックの第2相クロックは第1相クロックより T/n 遅延し、前記第1相クロックと前記第2相クロックと前記インバータで反転した $n/4$ 相クロックとにより前記シフトレジスタをクロックすることにより多相クロックを発生することを特徴とする多相クロック発生回路。

【請求項3】前記シフトレジスタを構成するフリップフロップの正転出力と反転出力とから多相クロックを出力することを特徴とする請求項1または2記載の多相クロック発生回路。

【請求項4】前記 $n/4$ 相クロック発生回路に代わり遅延素子を備え、前記遅延素子から前記第1相クロックより T/n 遅延した第2相クロックを発生することを特徴とする請求項1ないし3のいずれかに記載の多相クロック発生回路。

【請求項5】前記遅延素子をディスクリート半導体で構成することを特徴とする請求項4記載の多相クロック発生回路。生回路。

【請求項6】前記遅延素子をモノリシック半導体で構成することを特徴とする請求項4記載の多相クロック発生回路。

【請求項7】前記遅延素子をハイブリッド半導体で構成することを特徴とする請求項4記載の多相クロック発生回路。

【請求項8】前記遅延素子をプリント基板上で構成する

ことを特徴とする請求項4記載の多相クロック発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的には多相クロック発生回路に関し、詳しくは高速の多相クロックを発生するようにした多相クロック発生回路に関する。

【0002】

【従来の技術】従来、この種の多相クロック発生回路としては、特開昭61-20420号公報に記載された遅延素子を利用した多相クロック発生回路が開示され、また、特開昭63-122311号公報に記載されたシフトレジスタを使用した多相クロック発生回路が知られている。

【0003】図5を参照して、上記従来の遅延素子を利用した多相クロック発生回路を説明する。図5において、基準クロック発生回路501からの基準クロック f_o を複数の直列に接続された遅延素子502～508を通して多相クロックを出力するようにしたものである。この方法によると、各遅延素子502～508の接続点からクロック出力をとることにより多相クロックを出力することができる。

【0004】次に、図6を参照して、上記従来のシフトレジスタを使用した多相クロック発生回路を説明する。図6において、複数のD型フリップフロップ(以下、D-F-Fと呼称する)603～610を直列に接続し、 n (n は整数、以下同じ) 適倍クロック発生回路601から n 適倍されたクロックを各D-F-F603～610に供給し、また n 適倍されたクロックを $1/n$ 分周回路602で n 分周して最初のD-F-F603のD入力に供給するよう構成される。従って、各D-F-F603～610の出力から各相のクロックを出力するようにしておけば、 $1/n$ 分周回路602からの1クロック出力毎にシフトレジスタ613 (D-F-F603～610で構成される) から多相のクロックを出力することができる。しかし、この場合、シフトレジスタ613に供給するクロックは、 n 相クロックの場合、 n 適倍されたクロックを供給する必要がある。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の最初の多相クロック発生回路においては、遅延素子を利用していているため、遅延素子は相数に相当する個数が必要であり、反転クロックを使用しても必要とする相数の半分の個数の遅延素子が必要となる。さらに遅延素子固有の遅延時間のばらつきや温度特性による遅延量の変化により多相クロックの相間の遅延時間にばらつきが生じたり、また必要とする相数分の遅延素子を設けた結果、遅延素子の個数が増えることによる実装面積の拡大やコストアップになるという問題があった。

【0006】次の、シフトレジスタを使用した多相クロ

ック発生回路においては、 n 相クロックを実現するためには、 n 倍したクロックが必要となる。しかし、求められる多相クロックの周波数は高く、更に相数が大きい場合、必然的にシフトレジスタに入力するクロックが高速となり、このクロックの高速化を実現するには発振回路の高速化はもちろん、回路を構成するディスクリート部品や半導体のプロセスの高速化が求められ、素子の高速化が実現できない場合があったり、高速化のためコストアップになるという問題があった。

【0007】本発明は、上記従来の問題を解決するためになされたもので、遅延時間のばらつきがなく、基準クロックの周波数が低くし、多数の遅延素子を使用せずに回路を簡単にし、実装面積を縮小し、安価に提供することができる多相クロック発生回路を提供するものである。

【0008】

【課題を解決するための手段】本発明における多相クロック発生回路は、 n (n は整数) 相の多相クロックの周波数 (f_o) に等しい基準クロックを発生する基準クロック発生回路と、前記基準クロック発生回路から出力した基準クロックを2倍して2倍クロックを発生する2倍回路と、前記2倍回路から出力した2倍クロックから $n/4$ 相クロックを作成する $n/4$ 相クロック発生回路と、前記 $n/4$ 相クロック発生回路から発生した $n/4$ 相クロックを反転するインバータと、前記 $n/4$ 相クロック発生回路の出力を $n/4$ 分周してシフトレジスタに出力する $n/4$ 分周回路とを備え、前記 $n/4$ 相クロック発生回路から発生した $n/4$ 相クロックの第2相クロックは第1相クロックより T/n 遅延し、前記第1相クロックと前記第2相クロックと前記インバータで反転した $n/4$ 相クロックとにより前記シフトレジスタをクロックすることにより多相クロックを発生するという構成を有している。この構成により、基準クロックが所望の多相クロックの周波数の2倍ですみ、基準クロック発生回路の発振器の周波数を低減し、周辺素子の高速化が避けられ、シフトレジスタのクロックの相数を減少して回路を簡略化することができる。

【0009】本発明における多相クロック発生回路は、 n 相の多相クロック周波数 (f_o) の2倍周波数 ($2f_o$) に等しい基準クロックを発生する基準クロック発生回路と、前記基準クロック発生回路から出力した基準クロックから $n/4$ 相クロックを作成する $n/4$ 相クロック発生回路と、前記 $n/4$ 相クロック発生回路から発生した $n/4$ 相クロックを反転するインバータと、前記 $n/4$ 相クロック発生回路の出力を $n/4$ 分周してシフトレジスタに出力する $n/4$ 分周回路とを備え、前記 $n/4$ 相クロック発生回路から発生した $n/4$ 相クロックの第2相クロックは第1相クロックより T/n 遅延し、前記第1相クロックと前記第2相クロックと前記インバータで反転した $n/4$ 相クロックとにより前記シフトレジ

スタをクロックすることにより多相クロックを発生するという構成を有している。この構成により、2倍回路を省略したため、回路構成を簡略化することができる。

【0010】本発明における多相クロック発生回路は、前記シフトレジスタを構成するフリップフロップの正転出力と反転出力とから多相クロックを出力するという構成を有している。この構成により、シフトレジスタの個数を半減させ、回路規模を縮小することができる。

【0011】本発明における多相クロック発生回路は、前記 $n/4$ 相クロック発生回路に代わり遅延素子を備え、前記遅延素子から前記第1相クロックより T/n 遅延した第2相クロックを発生するという構成を有している。この構成により、 $n/4$ 相クロック発生回路を遅延素子に替えて回路を簡略化することができる。

【0012】本発明における多相クロック発生回路は、前記遅延素子をディスクリート半導体で構成するという構成を有している。この構成により、ディスクリート半導体の遅延を利用することにより、通常の遅延素子より遅延量の微少設定および温度差による変動幅の縮小が可能となる。

【0013】本発明における多相クロック発生回路は、前記遅延素子をモノリシック半導体で構成するという構成を有している。この構成により、他の回路と同一の半導体上で構成することができワンチップ化が可能となる。

【0014】本発明における多相クロック発生回路は、前記遅延素子をハイブリッド半導体で構成するという構成を有している。この構成により、遅延量の問題等によりモノリシック半導体で構成できない場合、ハイブリッド半導体上で遅延素子を構成することによりワンチップ化が可能となる。

【0015】本発明における多相クロック発生回路は、前記遅延素子をプリント基板上で構成するという構成を有している。この構成により、遅延素子をプリント基板上のマイクロストリップ線路等で構成することにより、遅延素子を削減することができる。

【0016】

【発明の実施の形態】以下、図1ないし図4に基づき、本発明の第1乃至第4の実施の形態を詳細に説明する。まず、図1を参照して、本発明の第1の実施の形態における多相クロック発生回路について説明する。図1において、複数のD型フリップフロップ（以下、D-F-Fと呼称する）111～118を直列に接続してシフトレジスタ121（D-F-F111～118で構成される）を構成する。基準クロック発生回路101は基準クロック f_o を発生する。2倍回路102は基準クロック f_o の周期を2倍してクロック $2f_o$ を発生する。 $n/4$ 相クロック発生回路103はクロック $2f_o$ により $n/4$ 相クロック、この実施の形態の説明では $n=8$ とするから、2相クロックを発生する。

【0017】2相クロックの一方の第1クロック105は、D-FF111、115のCK入力（クロック入力）に供給され、第1クロック105よりT/n（T/8）遅延した2相クロックの他方の第2クロック106はD-FF112、116のCK入力に供給される。インバータ107は2相クロックの一方の第1クロック105を反転し、第3クロック109としてD-FF113、117のCK入力に供給し、インバータ108は2相クロックの他方の第2クロック106を反転し、第4クロック110としてD-FF114、118のCK入力に供給する。n/4分周回路（この実施の形態では2分周回路という）104は2相クロックの第2クロック106を2分周（n/4分周）してD-FF111のD入力に出力する。

【0018】次に、図1を参照して、本発明の第1の実施の形態における多相クロック発生回路の動作を説明する。まず、基準クロック発生回路101は所望のクロック周波数に等しいクロックf_oを発生し、2倍回路102で2倍周波数のクロック2f_oとする。n/4相クロック発生回路103はクロック2f_oを入力し、ここで、所望の相の数（n）が例えれば8相であれば、8/4相であるから2相の第1クロック105と第2クロック106を発生させる。ただし、ここで、2相の第1クロック105と第2クロック106は、出力する所望の8相（n相）クロックの相間の周期T/n（ここでは、T/8）に等しい遅延時間差を持つ2つのクロックである。

【0019】次に、2相の第1クロック105と第2クロック106をそれぞれインバータ107、108で反転させ、第3クロック109と第4クロック110を発生する。従って、第1～第4クロック105～110は、全体として、1周期T（周波数f_o）で相間の遅延が所望の多相クロック（n相）の相間の遅延（T/n）と同一のクロック群を構成する。また、第1～第4クロック105～110は、1周期で2回発生するクロックであって、最初のクロックでD-FF111～114をオンし、2回目のクロックでD-FF115～118をオンする。すなわち、最初の第1クロック105でD-FF111のCK入力を動作し、最初の第2クロック106でD-FF112のCK入力を動作し、最初の第3クロック109でD-FF113のCK入力を動作し、最初の第4クロック110でD-FF114のCK入力を動作する。

【0020】また、同様にして、2回目の第1クロック105でD-FF115のCK入力を動作し、2回目の第2クロック106でD-FF116のCK入力を動作し、2回目の第3クロック109でD-FF117のCK入力を動作し、2回目の第4クロック110でD-FF118のCK入力を動作する。さらに、第2クロック106を2分周回路104によりクロックf_oとし、こ

れをD-FF111のD入力に入力する。このようにして、各D-FF111～118のQ出力から周波数f_oの8相クロック119が出力される。

【0021】以上のように、本発明の第1の実施の形態によると、n/4相クロック発生回路から発生したそれぞれT/n遅延差がある2倍周期の第1および第2クロックとそれを反転した第3および第4クロックとにより、n個のD-FFをクロックするようにしたことにより、所望のクロックのn/4倍（この説明の例では2倍）の基準クロックで多相クロックを実現することができる。

【0022】次に、図2を参照して、本発明の第2の実施の形態における多相クロック発生回路について説明する。図2において、複数のD-FF210～217を直列に接続してシフトレジスタ219（D-FF210～217で構成される）を構成する。基準クロック発生回路201は所望の周波数の2倍の基準クロック2f_oを発生する。n/4相クロック発生回路202は基準クロック2f_oによりn/4相クロック、この実施の形態の説明ではn=8とするから、2相クロックを発生する。2相クロックの一方の第1クロック204は、D-FF210、214のCK入力に供給され、第1クロック204よりT/n（T/8）遅延した2相クロックの他方の第2クロック205はD-FF211、215のCK入力に供給される。

【0023】インバータ206は2相クロックの一方の第1クロック204を反転し、第3クロック208としてD-FF212、216のCK入力に供給し、インバータ207は2相クロックの他方の第2クロック205を反転し、第4クロック209としてD-FF213、217のCK入力に供給する。n/4分周回路（この実施の形態では2分周回路という）203は2相クロックの第2クロック205を2分周（n/4分周）してD-FF210のD入力に出力する。そして、各D-FF111～118のQ出力から周波数f_oの8相クロック119が出力される。

【0024】以上の説明から分かるように、本発明の第2の実施の形態における多相クロック発生回路においては、基準クロックの周波数を2倍（2f_o）にして、2倍回路を省略した点、第1の実施の形態の構成と相違している。すなわち、基準クロック発生回路201が周波数f_oの2倍周波数の基準クロック2f_oを出力することにより、2倍回路を省略したのみで、他の構成は第1の実施の形態におけるものと同様である。従って、第1クロック204～第4クロック209により各D-FF210～217に対するクロックの仕方は同一であるから、動作の説明は省略する。第2の実施の形態によれば、2倍回路を省略して回路を簡単にすることができるという効果が得られる。

【0025】次に、図3を参照して、本発明の第3の実

施の形態における多相クロック発生回路について説明する。図3において、複数のD-FF 306～309を直列に接続してシフトレジスタ311（D-FF 306～309で構成される）を構成する。基準クロック発生回路301は所望の周波数の2倍の基準クロック $2f_0$ を発生する。 $n/4$ 相クロック発生回路302は基準クロック $2f_0$ により $n/4$ 相クロック、この実施の形態の説明では $n=8$ とするから、2相クロックを発生する。2相クロックの一方の第1クロック312は、D-FF 306のCK入力に供給され、第1クロック312より T/n （ $T/8$ ）遅延した2相クロックの他方の第2クロック313はD-FF 307のCK入力に供給される。

【0026】インバータ304は2相クロックの一方の第1クロック312を反転し、クロック314としてD-FF 308のCK入力に供給し、インバータ305は2相クロックの他方の第2クロック313を反転し、第4クロック315としてD-FF 309のCK入力に供給する。 $n/4$ 分周回路（この実施の形態では2分周回路という）303は2相クロックの第2クロック313を2分周（ $n/4$ 分周）してD-FF 306のD入力に出力する。そして、各D-FF 306～309のQおよびnQ出力から周波数 f_0 の8相クロック310が出力される。

【0027】以上の説明から分かるように、本発明の第3の実施の形態における多相クロック発生回路は、D-FFの数を $1/2$ にしたことが第2の実施の形態における多相クロック発生回路と異なる点である。すなわち、D-FFの数を $1/2$ にして、第1および第2の実施の形態の場合と同様に、2相クロックの第1クロック312～第4クロック315を各D-FF 306～309のCK入力に供給する。しかしその際、第1～第4クロック312～315は、1周期で2回発生するクロックであって、最初のクロックでD-FF 306～309をオンして、そのQ出力からそれぞれ1相～4相のクロックを発生し、2回目のクロックでD-FF 306～309をオフして、そのnQ出力からそれぞれ5相～8相のクロックを発生する。その他の点については、第1および第2の実施の形態の場合と同様のため、説明を省略する。第3の実施の形態によれば、D-FFの数を半分に削減することができるという効果が得られる。

【0028】次に、図4を参照して、本発明の第4の実施の形態における多相クロック発生回路について説明する。図4において、複数のD-FF 406～409を直列に接続してシフトレジスタ411（D-FF 406～409で構成される）を構成する。基準クロック発生回路401は所望の周波数の2倍の基準クロック $2f_0$ を発生し、その基準クロックは第1クロック412として出力される。遅延素子402は T/n （この例では、 $T/8$ ）の遅延量を有し、第1クロック412より T/n

遅延した第2クロック413を出力する。従って、この実施の形態の説明では $n=8$ とするから、第1クロック412と第2クロック413により遅延差 $T/8$ の2相クロックを構成する。そして、第1クロック412は、D-FF 406のCK入力に供給され、第2クロック413はD-FF 407のCK入力に供給される。

【0029】また、インバータ404は第1クロック412を反転し、第3クロック414としてD-FF 408のCK入力に供給し、インバータ405は第2クロック413を反転し、第4クロック415としてD-FF 409のCK入力に供給する。2分周回路403は第2クロック413を2分周してD-FF 406のD入力に出力する。そして、各D-FF 406～409のQおよびnQ出力から周波数 f_0 の8相クロック410が出力される。

【0030】以上の説明から分かるように、本発明の第4の実施の形態における多相クロック発生回路は、 $n/4$ 相クロック発生回路を遅延素子に置き換えた点が第3の実施の形態における多相クロック発生回路と異なる点である。すなわち、第3の実施の形態における $n/4$ 相クロック発生回路302から出力する第1クロック312は、第4の実施の形態では基準クロック発生回路401から直接取り出し、第2クロック412は遅延素子402から取り出すようにしている。その他の点については、第3の実施の形態の場合と同様のため、説明を省略する。

【0031】第4の実施の形態によれば、8相のクロックが所望の場合でも、遅延素子1個を使用するのみで実現することができ、遅延素子を削減して、回路を簡単にすることができるという効果が得られる。

【0032】第4の実施の形態における遅延素子はディスクリート半導体で構成することができる。この構成によれば、遅延素子では実現不可能な微少な遅延量の設定や、遅延素子で発生する温度や遅延素子のばらつきによる遅延量の変化を押さえるという効果が得られる。

【0033】第4の実施の形態における遅延素子はモノリシック半導体で構成することができる。この構成によれば、多相クロック発生回路のワンチップ化が可能になるという効果が得られる。

【0034】第4の実施の形態における遅延素子はハイブリッド半導体で構成することができる。この構成によれば、遅延素子をモノリシック半導体で構成できない場合ハイブリッドとすることで可能となり、これにより、ワンチップ化が可能になるという効果が得られる。

【0035】第4の実施の形態における遅延素子はプリント基板上で構成することができる。この構成によれば、プリント基板のマイクロストリップ線路を利用してこの遅延を構成することにより、遅延素子を削減することができるという効果が得られる。

【0036】以上説明した本発明の実施の形態による

と、基準クロックの周波数が所望の多相クロックの周波数の2倍の周波数 $2f_0$ で済み、回路の高速動作が要求されず、出力する多相クロックは直接遅延素子等を通過しないため、遅延時間のばらつきや温度特性に影響されず、 $n/4$ 相クロック発生回路を遅延素子で構成しても、遅延素子が1個または数個で済み、実装面積の縮小やコストダウンに優れた多相クロック発生回路を提供することができる。

【0037】

【発明の効果】本発明における多相クロック発生回路は、上記のように構成され、特に $n/4$ 相クロック発生回路または遅延素子を使用して、2倍周期の第1クロックと、第1クロックより T/n 遅延した第2クロックと、第1および第2クロックを反転した第3および第4クロックとにより、 n 個のD-FFをクロックするようにしたことにより、基準クロックの周波数が2倍ですみ、遅延素子も1個または数個ですむ優れた多相クロック発生回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における多相クロック発生回路のブロック図

【図2】本発明の第2の実施の形態における多相クロック発生回路のブロック図

【図3】本発明の第3の実施の形態における多相クロック発生回路のブロック図

【図4】本発明の第4の実施の形態における多相クロック発生回路のブロック図

【図5】従来の多相クロック発生回路のブロック図

【図6】従来の多相クロック発生回路のブロック図

【符号の説明】

101、201、301、401、501 基準クロック発生回路
102 2倍周回路

103、202、302 $n/4$ 相クロック発生回路

104、203、303、403 2分周回路

105、204、312、412 第1クロック

106、205、313、413 第2クロック

109、208、314、414 第3クロック

110、209、315、415 第4クロック

107、108、206、207、304、305、404、405 インバータ

121、219、311、411、613 シフトレジスタ

111～118、210～217、306～309、406～409、603～610 D-FF

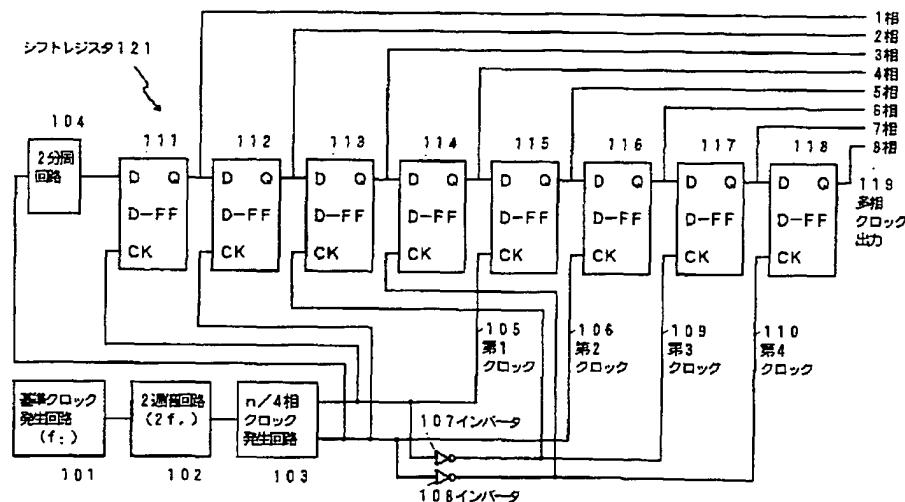
119、218、310、410、509、611 多相クロック出力

402、502～508 遅延素子

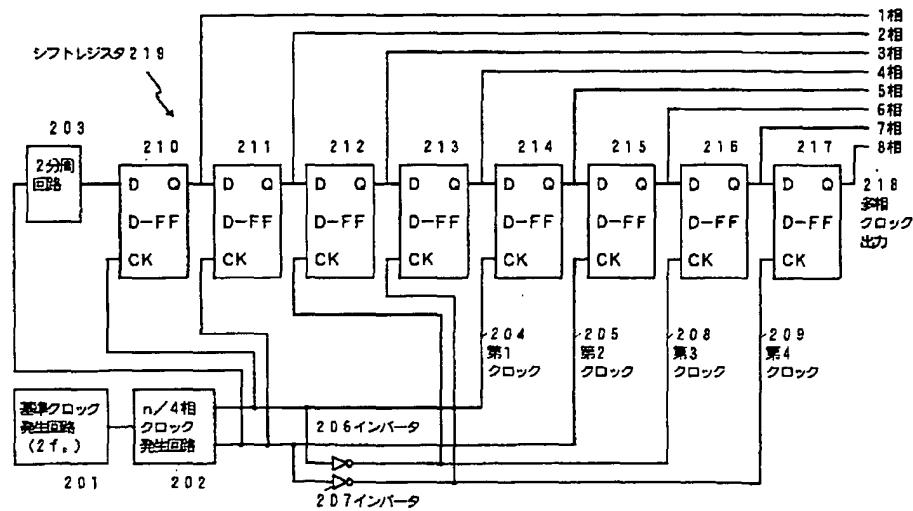
601 n 倍周回路

602 $1/n$ 分周回路

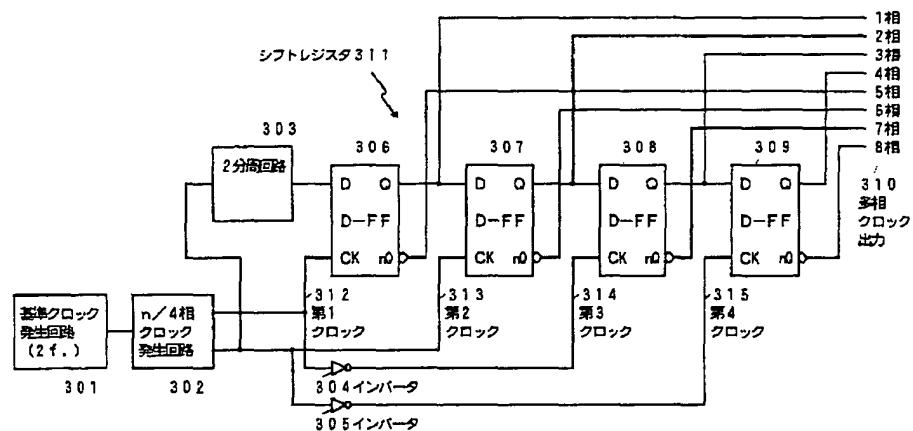
【図1】



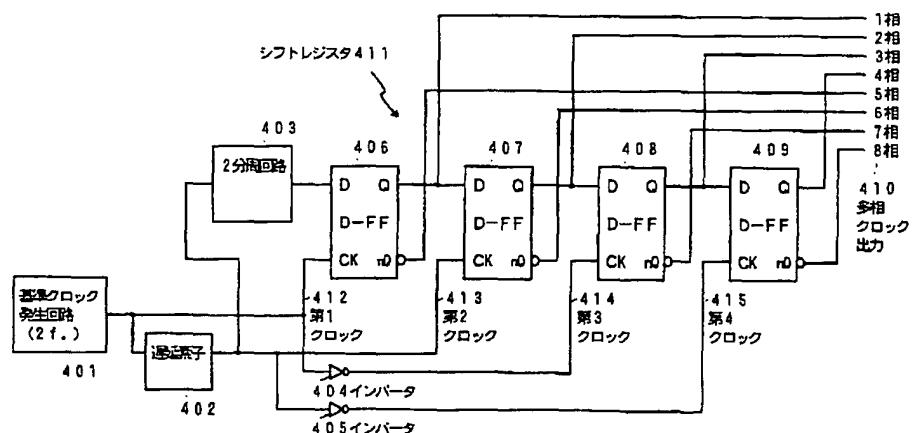
【図2】



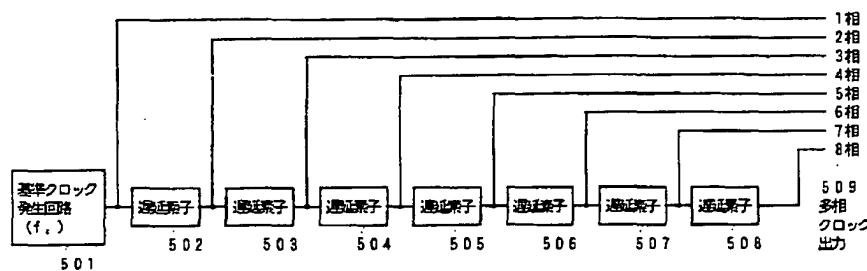
【図3】



【図4】



【図5】



【図6】

